

10 μ V超低底噪, 2.1W 单声道全差分高性能 AB 类音频放大器

概要

CS8898S全差分音频功率放大器适用于便携式电子产品。在5V电源供电，输出信号的THD小于10%的条件下,能够向8 Ω 负载提供1.7W的连续功率。CS8898S的工作电源电压范围为2.2V~6.0V,可通过外部电阻来设置增益。CS8898S具有卓越的射频噪声抑制能力；在217Hz时-90dB的PSRR；内置pop & click杂音抑制电路以及极低的关断电流。CS8898S提供纤小的SOT23-8L封装形式，极少的外部元件数目，有助于节省PCB面积。以上这些特性让CS8898S非常适用于便携式电子产品。

描述

- 全差分音频功率放大器
- 217Hz时的PSRR : -90dB
- 输出功率
 - P_o at 1% THD+N, VDD = 6.5V $R_L = 8 \Omega @ 2.1W$
 - P_o at 1% THD+N, VDD = 5.0V $R_L = 8 \Omega @ 1.2W$
 - P_o at 1% THD+N, VDD = 3.6V $R_L = 8 \Omega @ 0.7W$
- 工作电压范围：2.1V到7.0V
- 8V高耐压高可靠性设计
- 10 μ V超低底噪设计 ($R_{in}=10K, R_f=10K, C_{bypass}=1\mu F$)
- 极低的关断电流：0.01 μ A
- 低工作电流：3.0mA(VDD=5.0V)
- 改进的启动/关断音频杂音 (pop & click)抑制电路
- 过热保护电路
- 关断管脚内置300K下拉电阻
- 单位增益稳定,增益外部可调
- 符合RoHS标准，100%无铅封装

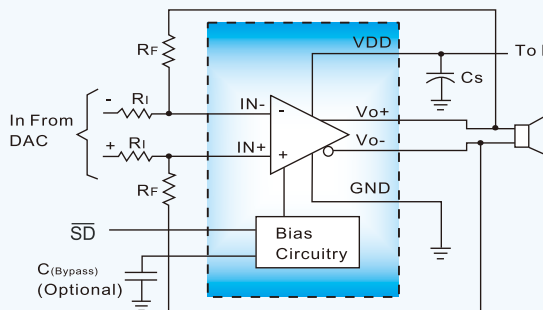
封装

- SOT23-8L

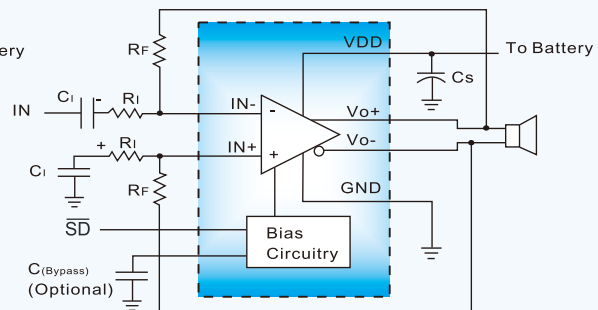
应用

- 手机
- 便携式音频设备
- PDA

典型应用线路图

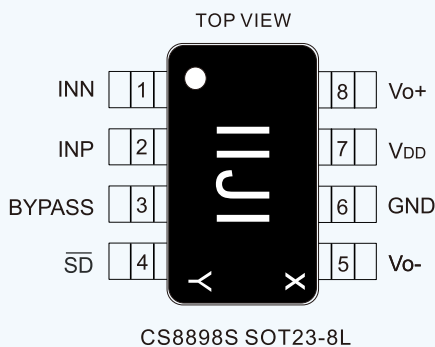


差分输入应用线路图



单端输入应用线路图

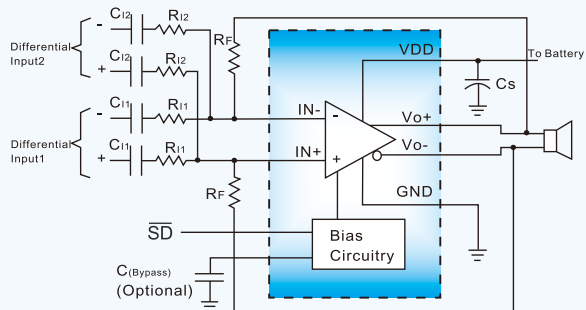
管脚分布以及管脚定义



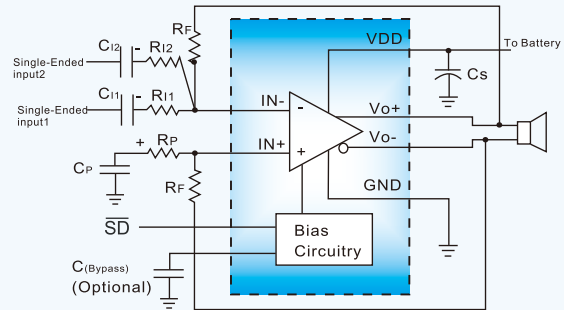
CS8898S SOT23-8L

管脚序号	符号	描述
1	INN	负端音频输入
2	INP	正端音频输入
3	BYPASS	Bypass 电容管脚
4	\overline{SD}	关断控制断端 (低电平有效)
5	Vo-	负端音频输出
6	GND	地端
7	VDD	供电电源
8	Vo+	正端音频输出

典型应用图 (立体声混音输入)



综合两路差分输入的应用线路图



综合两路单端输入的应用线路图

极限参数表¹

参数	描述	数值	单位
V _{DD}	无信号输入时供电电源	0.3 to 8	V
V _I	输入电压	-0.3 to V _{DD} +0.3	V
T _J	结工作温度范围	-40 to 150	°C
T _{SDR}	引脚温度 (焊接10秒)	260	°C
T _{STG}	存储温度范围	-65 to 150	°C

推荐工作环境

参数	描述	数值	单位
V _{DD}	输入电压	2.2~7.0	V
T _A	环境温度范围	-40~85	°C
T _j	结温范围	-40~125	°C

热效应信息

参数	描述	数值	单位
θ _{JA}	封装热阻---芯片到环境热阻	170	°C/W
θ _{JC}	封装热阻---芯片到封装热阻	130	°C/W

订购信息

产品型号	封装形式	器件标识	包装尺寸	卷带宽度	数量
CS8898S	SOT23-8L		7"	8mm	3000 units

ESD 范围

ESD 范围HBM(人体静电模式) ----- ±4kV

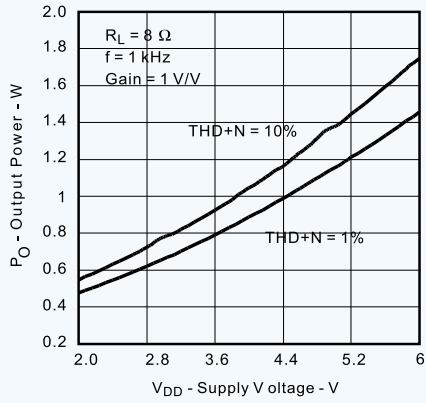
ESD 范围MM(机器静电模式) ----- ±400V

1.上述参数仅仅是器件工作的极限值, 不建议器件的工作条件超过此极限值, 否则会对器件的可靠性及寿命产生影响, 甚至造成永久性损坏。

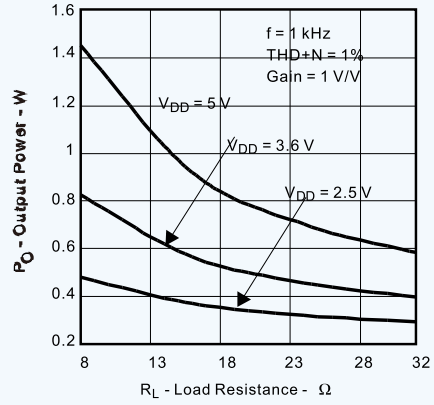
电气参数 $T_A = 25^\circ\text{C}$ 增益=1V/V

符号	描述	测试条件	最小值	典型值	最大值	单位
$ V_{OO} $	输出失调电压 (差分状态下测量)	$V_I = 0\text{V}, V_{DD} = 2.5\text{V to } 6.0\text{V}$			0.5	mV
V_{OL}	输出低电平电压	$R_L = 8\Omega, V_{IN+} = V_{DD}$ $V_{IN-} = 0\text{V or } V_{IN+} = 0\text{V}$ $V_{IN-} = V_{DD}$	$V_{DD} = 5.5\text{V}$	0.30	0.46	V
			$V_{DD} = 3.6\text{V}$	0.22		
			$V_{DD} = 2.5\text{V}$	0.19	0.26	
V_{OH}	输出高电平电压	$R_L = 8\Omega, V_{IN+} = V_{DD}$ $V_{IN-} = 0\text{V or } V_{IN+} = 0\text{V}$ $V_{IN-} = V_{DD}$	$V_{DD} = 5.5\text{V}$	4.8	5.12	V
			$V_{DD} = 3.6\text{V}$		3.28	
			$V_{DD} = 2.5\text{V}$	2.1	2.24	
$ I_{IH} $	高电平输入电流	$V_{DD} = 5.5\text{V}, V_I = 5.8\text{V}$			1.2	μA
$ I_{IL} $	低电平输入电流	$V_{DD} = 5.5\text{V}, V_I = -0.3\text{V}$			1.2	μA
I_{DD}	静态电流	$V_{DD} = 2.5\text{V to } 6.0\text{V}$, 无负载 $SD = V_{IH}$		2.5	3.3	mA
$I_{DD(SD)}$	关断电流	$V_{DD} = 2.5\text{V to } 6.0\text{V}$, 无负载 $SD = V_{IL}$		0.01	0.9	μA
P_O	输出功率	$\text{THD} + \text{N} = 10\%, f = 1\text{ kHz}, V_{DD} = 5\text{V}, R_L = 8\Omega$		1.74		W
		$\text{THD} + \text{N} = 1\%, f = 1\text{ kHz}, V_{DD} = 3.6\text{V}, R_L = 8\Omega$		0.7		
		$\text{THD} + \text{N} = 1\%, f = 1\text{ kHz}, V_{DD} = 2.5\text{V}, R_L = 8\Omega$		0.37		
THD+N	总谐波失真	$V_{DD} = 5\text{V}, P_O = 1\text{W}, f = 1\text{kHz}$		0.02%		
		$V_{DD} = 3.6\text{V}, P_O = 0.5\text{W}, f = 1\text{kHz}$		0.03%		
		$V_{DD} = 2.5\text{V}, P_O = 200\text{mW}, f = 1\text{kHz}$		0.05%		
K_{SVR}	电源电压抑制比	$C_{\text{bypass}} = 0.47\mu\text{F}, V_{DD} = 3.6\text{V to } 5.5\text{V}$, Inputs ac-grounded with $C_1 = 2\mu\text{F}$	$f = 217\text{Hz to } 2\text{ kHz}$, $V_{\text{RIPPLE}} = 200\text{mV}_{PP}$	-87		dB
SNR	信噪比	$V_{DD} = 5\text{V}, P_O = 1\text{W}$		104		dB
V_N	输出电压噪声	$f = 20\text{Hz to } 20\text{kHz}$	无加权	10		μV_{RMS}
			A加权	9.6		
CMRR	共模抑制比	$V_{DD} = 2.5\text{V to } 5.5\text{V}$, resistor tolerance = 0.1%, gain = 4V/V, $V_{ICM} = 200\text{mV}_{PP}$	$f = 20\text{Hz to } 1\text{kHz}$	≤ -85		dB
			$f = 20\text{Hz to } 20\text{kHz}$	≤ -74		
Z_I	输入阻抗			2		M Ω
Z_O	输出阻抗	关断模式	>10k			Ω
	关断衰减	$f = 20\text{Hz to } 20\text{kHz}$, $R_F = R_I = 20\text{k}\Omega$	-80			dB
T_{WU}	启动时间	$V_{DD} = 3.3\text{V}, C_{\text{bypass}} = 1\mu\text{F}$		25		ms

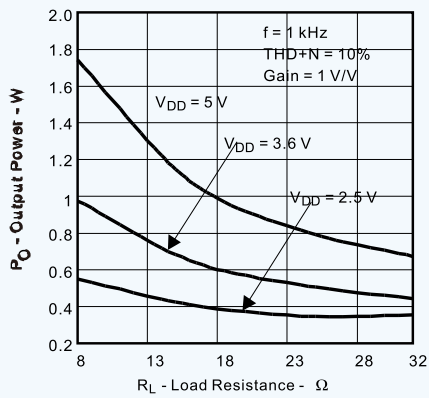
典型特征曲线 ($T_A = 25^\circ\text{C}$, 增益 = 1V/V, $R_L = 8\Omega$)



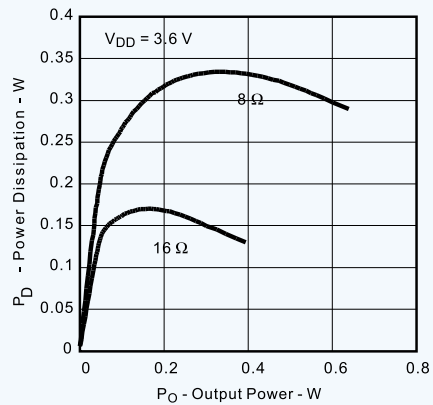
Output power vs supply voltage



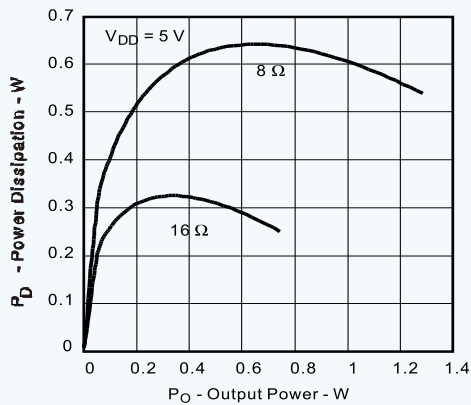
Output Power vs load resistance



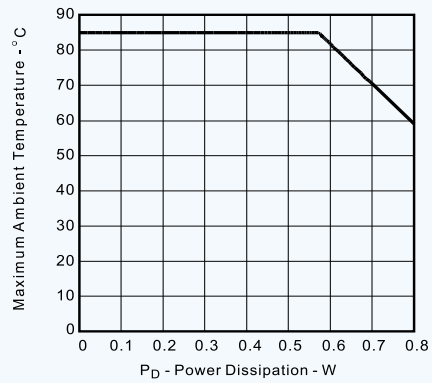
Output Power vs load-resistance



Power dissipation vs output power



Power dissipation vs output power



Maximum ambient temperature vs power dissipation

应用信息

1. 全差分音频功放

CS8898S是一款输入输出都是全差分结构的音频功放。它由一个差分运放和一个共模运放组成，差分运放确保差分输出的交流电压等于差分输入的电压乘以增益。共模反馈确保输出的共模电压始终在VDD/2附近而不受输入共模电压的影响。

2. 全差分音频功放的优点

不需要输入耦合电容: CS8898S具有良好的共模抑制比，输入信号无需共模在VDD/2处。如果DAC的偏置电压小于CS8898S的偏置电压，则共模反馈电路调整的是CS8898S的输出仍然偏置在VDD/2处。输入电压的偏置范围在0.5V到VDD-0.8V之间，如果超出这个范围，那就必须使用输入耦合电容。

不需要Bypass旁路电容: 全差分结构的音频功放不需要旁路电容，这是因为偏置电压任何变换对正负通道均衡性的影响都会在差分输出的时候被消除。取消旁路电容会轻微降低电源抑制比 (K_{SVR})，如果 K_{SVR} 的轻微下降对电路性能没什么影响，我们就可以省略掉Bypass电容这个额外的元器件可以更好的抗射频干扰: GSM手机由于省电的需要以217HZ的频率开启和关闭射频发送，导致电源上产品217HZ的纹波。全差分结构的音频功放对纹波的抑制要明显好于传统类型的音频功放。

3. 应用线路图

图1和图5显示了差分 and 单端输入的应用线路图。元器件的典型值如下表(1)所示:

元器件	值
R_I	10k Ω
R_F	10k Ω
C_{BYPASS}^*	0.22 μ F
C_S	1 μ F
C_I	0.22 μ F

* C_{BYPASS} : 在推荐设计中为可选.

4. 电阻 (R_F 和 R_I)

由输入电阻(R_I)和反馈电阻(R_F)来设置增益:

$$\text{增益} = R_F/R_I \quad (1)$$

R_F 和 R_I 的范围从1K Ω 到100K Ω 。电阻推荐设置为 $R_F=R_I=20K\Omega$ 。

电阻的匹配对全差分结构的音频功放来说是非常重要的，建议使用精度在1%或者更好的电阻使得性能得到更好的体现。

5. 旁路电容 (C_{BYPASS}) 和启动时间

Bypass管脚通过内部的电压驱动器来设置偏置电压和输出共模电压为VDD/2，在Bypass管脚接电容能够滤除噪声和减少电源纹波。芯片启动时，Bypass电容能够决定Vo+和Vo-的上升沿时间，电容越大，上升沿的时间就越长。虽然上升沿的时间取决于Bypass电容，但是芯片在启动4ms之后就能出音频信号，Bypass电容只是能够决定增益增加的快慢。

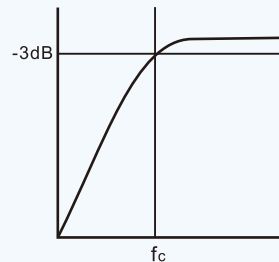
为了尽量减少 pops & clicks，输入端IN+和IN-的电路阻抗（电阻和电容）要一致。

6. 输入电容

CS8898S不要求使用输入耦合电容，如果输入使用差分信号源那么电压的偏置范围在0.5V到VDD-0.8V之间。如果不使用输入耦合电容那么就要选择精度在1%或者更好的增益设置电阻。

在单端输入的应用中，音频功放的输入信号必须被偏置在一个合适的DC电平上。在这种情况下， C_I 和 R_I 组成一个高通滤波器，其截止频率可由下面的公式(2)推算出。

$$f_c = \frac{1}{2\pi R_I C_I} \quad (2)$$



输入电容的值非常重要，一般认为它直接影响着电路的低频性能。结合例子，当 $R_I=10K\Omega$ ，规范要求的低音响应下降到100Hz。由公式(2)推导出公式(3)。

表(1)提供了在推荐应用中输入电容Bypass可选电容的元件规范值。

$$C_I = \frac{1}{2\pi R_I f_c} \quad (3)$$

我们可选的容值范围是0.22 μ F到0.47 μ F。考虑到输入电容有一个漏电通道即输入信号通过输入网络(R_I , C_I)和反馈电阻到负载。这个漏电流在功放的输入端会产生一个DC失调电压，从而导致功放的动态余量减少，特别是在高增益的情况下。基于这个原因，输入电容尽量选择陶瓷电容，如果使用有极性的电容，电容的正端应该接在信号输入端口，负端接在功放上，这对应用来说非常重要。

7. 去耦电容 (CS)

CS8898S是一个高性能的CMOS音频放大器，它需要足够的电源去耦，以确保输出的总谐波失真 (THD) 则尽可能低。电源去耦能够阻止功放和扬声器之间因为线长而引起的振荡。为得到良好的高频瞬态性能以及去除电源上的尖峰，希望电容的ESR值要尽量的小，一般选择典型值为0.1uF到1uF的电容旁路到地。去耦电容在布局上应该尽可能的靠近芯片的VDD放置。靠近功放放置一个10uF或者更大的电容对滤除低频噪声信号也有帮助，因为CS8898S具有高PSRR的特性，所以在大多数应用中这个电容也可以不用。

8. 两路差分信号的混合

两路差分信号的混音需要两个额外的电阻 (总共10个元器件)，可以单独设置每路输入信号源的增益，请参考公式 (4) 和公式 (5) 以及图4。

$$Gain 1 = \frac{V_o}{V_{I1}} = - \frac{R_F}{R_{I1}} \left(\frac{V}{V} \right) \quad (4)$$

$$Gain 2 = \frac{V_o}{V_{I2}} = - \frac{R_F}{R_{I2}} \left(\frac{V}{V} \right) \quad (5)$$

9. 一路差分信号和一路单端信号的混音

图5显示了差分输入信号和单端输入信号是如何混音的。使用这个方法通过IN脚的噪声会被抑制掉。为了确保每个通道的平衡，单端输入的信号源必须低阻抗。为了具备更好的性能，两路输入要有一致的阻抗和容抗匹配，因此使用了RP和CP。其值的选取遵照下列公式：

$$C_P = C_{I1} // C_{I2}$$

$$R_P = R_{I1} // R_{I2}$$

10. 使用低ESR值的电容

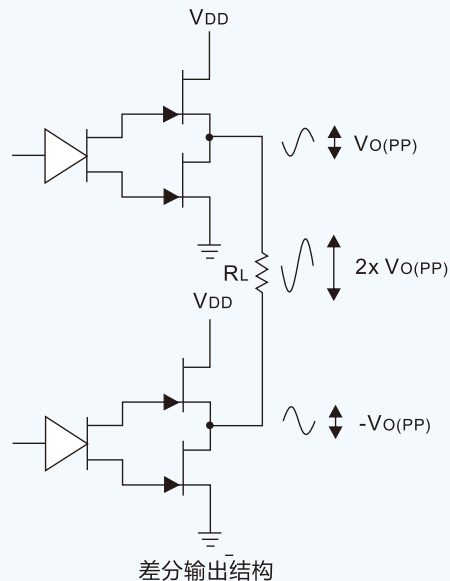
在整个应用环节中都推荐使用低ESR电容。一个真正的实际电容可以看做是一个电阻串联一个理想的电容。在电路中电阻两端的电压降影响着电容的性能，等效电阻越低，实际的电容性能越接近理想电容。

11. 差分输出和单端输出的对比

显示了一个全差分结构的ClassAB音频功放。CS8898S差分输出驱动负载的两端。一端波形向上，则另外一端波形向下，反之亦然。负载端对地参考电压的幅度是输入信号2倍的关系，那么相对于传统单端输出结构的音频功放，在同样的电源电压以及负载阻抗的条件下，输出功率是4倍的关系，请参考公式(6)。

$$V(rms) = \frac{V_o(pp)}{2\sqrt{2}}$$

$$Power = \frac{V(rms)^2}{R_L} \quad (6)$$



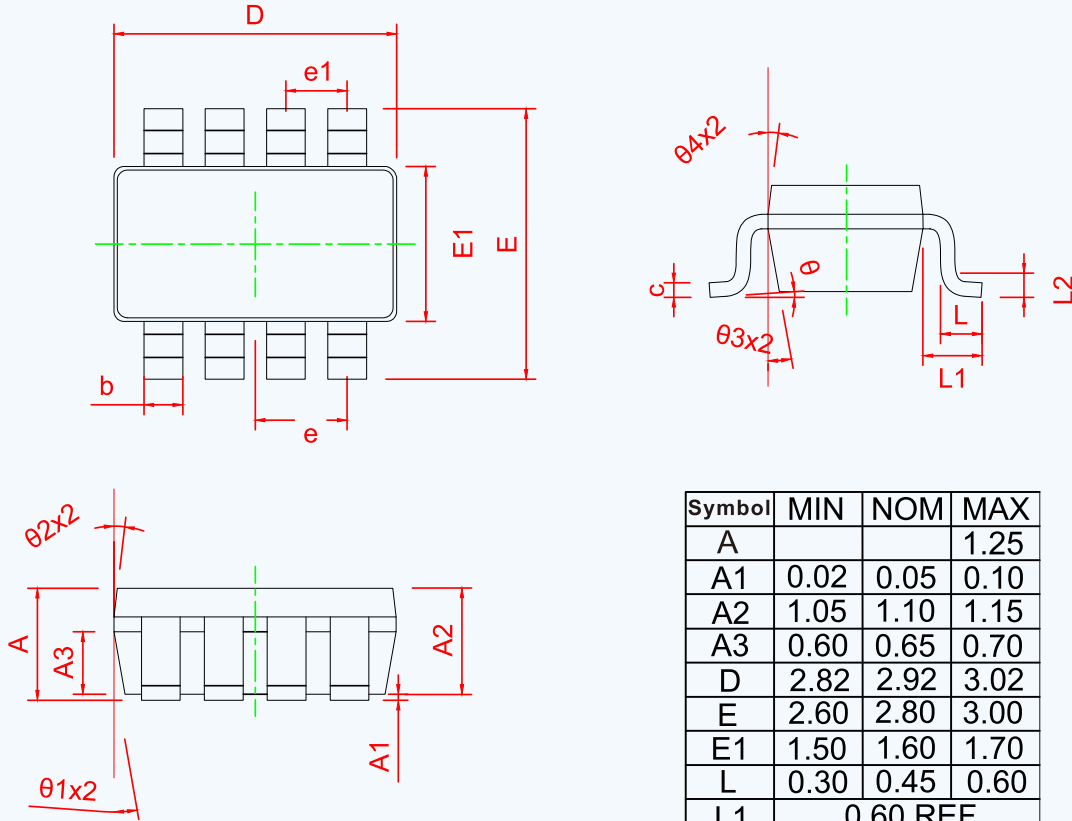
手机应用的典型工作电压为3.6V，单端输出的应用时，桥接8Ω的扬声器，输出功率的范围是200mW到800mW。图33显示了单端输出的结构。输出管脚需要一个耦合电容以达到去除输出的直流偏置电压。这个电容的容值要求比较大(大约33uF到1000uF)，因此这个电容即贵又大，且很占PCB面积，另外它也限制了系统的低频性能。这个低频限制是由于高通滤波网络和扬声器的电阻和耦合电容一起造成的。通过下面的公式 (7) 可以算出这个截止频率。

$$f_c = \frac{1}{2\pi R_L C_c} \quad (7)$$

例如一个68uF电容和8Ω扬声器将会衰减293Hz以下的频率。BTL结构消除了直流偏置，从而消除了输出的Cc电容。系统的低频性能只受输入网络和扬声器反应的影响。这样就降低了成本，节省了PCB的面积。

封装信息

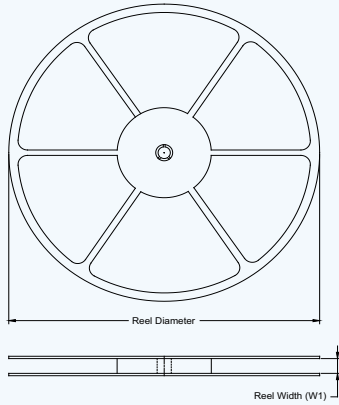
CS8898S SOT23_8L



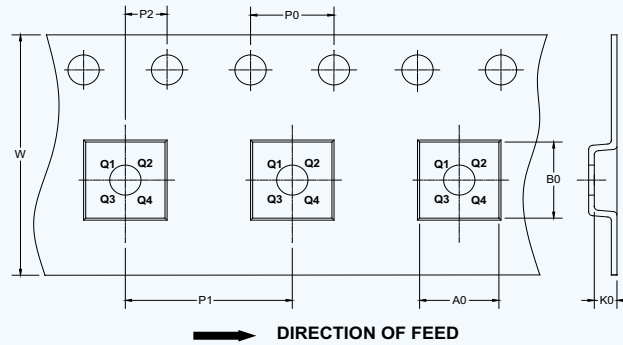
Symbol	MIN	NOM	MAX
A			1.25
A1	0.02	0.05	0.10
A2	1.05	1.10	1.15
A3	0.60	0.65	0.70
D	2.82	2.92	3.02
E	2.60	2.80	3.00
E1	1.50	1.60	1.70
L	0.30	0.45	0.60
L1	0.60 REF		
L2	0.25 BSC		
θ	0°		8°
b	0.28	0.35	0.42
c	0.10	0.15	0.20
e	0.950 BSC		
e1	0.633 BSC		
θ_1	12°BSC		
θ_2	10°BSC		
θ_3	12°BSC		
θ_4	10°BSC		

TAPE AND REEL INFORMATION

REEL DIMENSIONS



TAPE DIMENSIONS



NOTE: The picture is only for reference. Please make the object as the standard

KEY PARAMETER LIST OF TAPE AND REEL

Package Type	Reel Diameter	Reel Width W1 (mm)	A0 (mm)	B0 (mm)	K0 (mm)	P0 (mm)	P1 (mm)	P2 (mm)	W (mm)	Pin1 Quadrant
SOT-23-8	7"	8.0	3.20	3.20	1.40	4.0	4.0	2.0	8.0	Q3

MOS电路操作注意事项：

静电在很多地方都会产生，采取下面的预防措施，可以有效防止MOS电路由于受静电放电影响而引起的损坏：

- 操作人员要通过防静电腕带接地
- 设备外壳必须接地
- 装配过程中使用的工具必须接地
- 必须采用导体包装防静电材料包装或运输



声明：

- 上海智浦欣微电子有限公司保留说明书的更改权，恕不另行通知！客户在使用前应获取最新版本资料，并验证相关信息是否完整和最新。
- 任何半导体产品在特定条件下都有一定的失效或发生故障的可能，买方有责任在使用上海智浦欣产品进行系统设计和整机制造时遵守安全标准并采取安全措施，以避免潜在失败风险可能造成人身伤害或财产损失情况的发生！
- 产品品质的提升永无止境，上海智浦欣微电子有限公司将竭诚为客户提供更优秀的产品！